

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-102280

(43) 公開日 平成9年(1997)4月15日

(51) Int.Cl.⁶

H 0 1 J 11/02

11/00

識別記号

庁内整理番号

F 1

H 0 1 J 11/02

11/00

技術表示箇所

B

K

審査請求 未請求 請求項の数9 O L (全 9 頁)

(21) 出願番号

特願平7-256262

(22) 出願日

平成7年(1995)10月3日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 永野 眞一郎

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

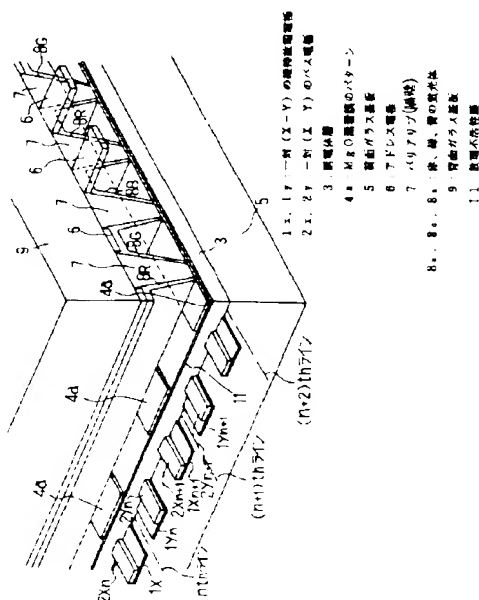
(74) 代理人 井理士 宮田 金雄 (外3名)

(54) 【発明の名称】 面放電型AC型プラズマディスプレイパネル

(57) 【要約】

【課題】 維持放電の消費電力を増加させずにコントラスト改善を図り、かつ隣接する維持放電電極対間での誤放電発生を抑制して高精細化への対処が可能な面放電型AC型プラズマディスプレイパネルを得ることを課題とする。

【解決手段】 一対のガラス基板の一方の前面ガラス基板の内面上に平行に近接配置される複数対の放電維持電極対と、上記電極対を被覆する誘電体層3と、上記誘電体層上面を一様に覆う放電不活性材料からなる絶縁膜11と、上記絶縁膜上面に形成されるカソード膜パターン4aと、他方の背面ガラス基板の内面上に上記電極対と直交方向に放電空間を区画する隔壁7と、上記各隔壁間に配置されそれぞれ単位発光領域を選択的に発光させるためのアドレス電極6と、上記放電空間内壁面に所定発光色の蛍光体8と、を有し、上記放電空間に晒される上記誘電体層上面に形成される放電不活性材料からなる絶縁膜上にカソード膜パターンを形成し放電領域を限定することを特徴とする。



【特許請求の範囲】

【請求項1】 一対のガラス基板の一方の前面ガラス基板の内面上に平行に近接配置される複数対の放電維持電極対と、上記電極対を被覆する誘電体層と、上記誘電体層上面に形成されるカソード膜と

他方の背面ガラス基板の内面上に上記電極対と直交方向に放電空間を区画する隔壁と、上記各隔壁間に配置されそれぞれ単位発光領域を選択的に発光させるためのアドレス電極と、を有する面放電型A型プラズマディスプレイパネルにおいて

上記放電空間に晒される上記誘電体層上面に形成されるカソード膜の一部を放電不活性材料からなる絶縁膜に置換することを特徴とする面放電型A型プラズマディスプレイパネル。

【請求項2】 一対のガラス基板の一方の前面ガラス基板の内面上に平行に近接配置される複数対の放電維持電極対と、上記電極対を被覆する誘電体層と、上記誘電体層上面を一樣に覆う放電不活性材料からなる絶縁膜と、上記絶縁膜上面に形成されるカソード膜パターンと、他方の背面ガラス基板の内面上に上記電極対と直交方向に放電空間を区画する隔壁と、上記各隔壁間に配置されそれぞれ単位発光領域を選択的に発光させるためのアドレス電極と、上記放電空間内壁面に所定発光色の蛍光体と、を有する面放電型A型プラズマディスプレイパネルであって

上記放電空間に晒される上記誘電体層上面に形成される放電不活性材料からなる絶縁膜上に、カソード膜パターンを形成し放電領域を限定することを特徴とする面放電型A型プラズマディスプレイパネル。

【請求項3】 一対のガラス基板の一方の前面ガラス基板の内面上に平行に近接配置される複数対の放電維持電極対と、上記電極対を被覆する誘電体層と、上記誘電体層上面を一樣に覆うカソード膜と、上記カソード膜上面に形成される放電不活性材料からなる絶縁膜パターンと

他方の背面ガラス基板の内面上に上記電極対と直交方向に放電空間を区画する隔壁と、上記各隔壁間に配置されそれぞれ単位発光領域を選択的に発光させるためのアドレス電極と、上記放電空間内壁面に所定発光色の蛍光体と、を有する面放電型A型プラズマディスプレイパネルであって、

上記放電空間に晒される上記誘電体層上面に形成されるカソード膜上に、放電不活性材料からなる絶縁膜パターンを形成し放電領域を限定することを特徴とする面放電型A型プラズマディスプレイパネル。

【請求項4】 リフトオフ法により形成されたカソード膜のパターンを有することを特徴とする請求項1に記載の面放電型A型プラズマディスプレイパネル。

【請求項5】 リフトオフ法により形成された放電不活性材料からなる絶縁膜のパターンを有することを特徴と

する請求項3に記載の面放電型A型プラズマディスプレイパネル。

【請求項6】 誘電体層上面の放電不活性材料からなる絶縁膜上面に形成されるカソード膜パターンは、各維持放電電極対内部ギャップの上方部に、維持放電電極対方向に帯状に形成されるカソード膜パターンであることを特徴とする請求項1に記載の面放電型A型プラズマディスプレイパネル。

【請求項7】 誘電体層上面の放電不活性材料からなる絶縁膜上面に形成されるカソード膜パターンは、放電空間を区画する隔壁間の放電不活性材料からなる絶縁膜上面に、帯状に形成されたカソード膜パターンもしくは各維持放電電極対内部ギャップの上方部にセル状に形成されたカソード膜パターンであることを特徴とする請求項2に記載の面放電型A型プラズマディスプレイパネル。

【請求項8】 誘電体層上面のカソード膜上面に形成される放電不活性材料からなる絶縁膜パターンは、各隣接維持放電電極対間ギャップの上方部に、維持放電電極対方向に帯状に形成された絶縁膜パターンであることを特徴とする請求項3に記載の面放電型A型プラズマディスプレイパネル。

【請求項9】 カソード膜を構成する材料はMgの放電不活性の材料からなる絶縁膜を構成する材料はAl、O、もしくはTi、O、であることを特徴とする請求項1、2、もしくは3に記載の面放電型A型プラズマディスプレイパネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は面放電型A型プラズマディスプレイパネルの省電力化とコントラスト向上、隣接セル間誤放電抑止に関するものである。

【0002】

【従来の技術】図5は電気通信学会技術報告E1D-92-86, pp. 7-12 (1993. 1)に示された従来の面放電型プラズマディスプレイパネルの部分構造図である。図中、1x、1yは透明導電膜からなる一対(X-Y)の維持放電電極、2x、2yはそれぞれ維持放電電極1x、1yに電圧を供給するための一対のバス電極、3はバス電極を覆う様な誘電体層、4は放電のカソードとして機能する様なMgの蒸着膜、5は上記1、2、3、4を搭載する前面ガラス基板である。また、6は維持放電電極1と直角交差するアドレス電極、7は個々のアドレス電極を区画するバリアリブ（以下、隔壁と呼ぶ）、8a、8b、8cはそれぞれアドレス電極6と隔壁7の壁面に形成された赤、緑、青の蛍光体、5は上記6、7、8を搭載する背面ガラス基板である。隔壁7の頂部がMgの蒸着膜4に接することで、上記アドレス電極6と隔壁7の壁面に形成された蛍光体と酸化マグネシウム（以下、MgOと呼ぶ）蒸着膜4とに囲まれた放電空間が形成されており、該放電空間はNe

・X・yの混合カラーで満たされている。

【0003】以上面放電型プラズマディスプレイの駆動シーケンスは概略上記のようになっている。

①線順書き込み放電：Y側の維持放電電極1yを線順次走査し、それに同期してアドレス電極6に画像データに応じた信号を出力することで、維持放電電極1yとアドレス電極6の間に1回のA放電を起こし、直後の駆動シーケンス②で発光させるセルのY電極1y近傍のMxの表面上に壁電荷を蓄積させる。

②X-Y間維持放電：パネル全面で維持放電電極1x・1y間に維持放電のためのAのバリスを1回以上印加することで、駆動シーケンス①で書込まれたセル内にX-Y間の維持放電をバリスの数だけ起こさせる。

③全面書き込み放電：壁電荷の有無に関わらずX-Y間放電を起こすに十分なバイアスを、パネル全面で維持放電電極1x・1y間に印加する。

④全面消去放電：パネル全面で維持放電電極1x・1y間に消去バリスを印加されると、次の駆動シーケンス①に不要な壁電荷は消去される。各蛍光体8、1、8、1、8は放電過程で放射される紫外光を受けると各蛍光色（赤、緑、青）を発する、こうして所望のカラー画像が得られる。

【0004】

【発明が解決しようとする課題】さて、第一の課題として、表示上のコントラスト改善について説明する。従来の面放電型プラズマディスプレイパネルは上記のように構成されていて、駆動シーケンス①②③④では書き込みで選択された放電セル（以下、適宜セルと呼ぶ）だけが発光するものの、駆動シーケンス③④では無条件に全セルが発光する。従って、選択されない③④のセルでも駆動シーケンス③④の放電によって幾らかの発光強度をもち、これが表示上のコントラストを悪くする一因となっている。先ず、コントラストは白レベルと黒レベルとの比であるから、コントラスト改善策として黒レベルを下げるか、白レベルを上げることについて検討する。

【0005】コントラストの改善策として、黒レベルを下げるには、駆動シーケンス③④の全面書き込み/全面消去の放電電流を駆動シーケンス②の維持放電電流に比較して小さくすることが考えられる。しかし、駆動シーケンス③④のいずれの放電も主としてX-Y間で行なわれるものであり、維持放電電極1xと1yの間に印加される電圧は駆動シーケンス②よりも駆動シーケンス③の方が必然的に大きくなることから、この改善策は原理的に困難と言える。次に、他のコントラスト改善策として、白レベルを上げるには、駆動シーケンス②の維持放電のバリス数を増やすことが考えられる。しかし、単にバリス数を増やすだけでは維持放電の消費電力が比例して増加するという新たな問題が発生し、またプラズマディスプレイパネルの温度が上昇するという弊害も出る。そこで、1回の維持放電に際し流れるセル電流をバリス

数に反比例して減少させることが必要になる。従来の図5に示すパネル構造の下での最も有効なセル電流低減法は、維持放電電極1x・1yの電極幅を予め細く形成して維持放電のエリアを縮小することであるが、このとき、バス電極2x・2yの電極幅も同時に細線化しなければ発光面積に対するバス電極2x・2yの影の部分の比率が増え、プラズマディスプレイを観る人にとって視認上の輝度が低下してしまう。ところが、上記のバス電極2x・2yの電極幅は、元来、上記の影の部分の比率を抑えるために同電極のパターン形成せり目に支障のないレベルまで細く設定されるべきもので、細線化の余地は少ない。以上の検討によれば、従来の図5に示すパネル構造の下では、維持放電の消費電力を増加せず、コントラスト改善策をとることは困難がある。

【0006】次に、第二の課題として、隣接セル間の誤放電抑止について説明する。従来の面放電型プラズマディスプレイパネルは上記のように構成されていて、隣接セル間の仕切りは隔壁7があるだけで、第n番目の維持放電電極対と第(n+1)番目の維持放電電極対との間を物理的に仕切る隔壁はない。従って、隣接維持放電電極対間ギャップ（例えば、1xと1x₁との間）で誤放電を起してしまう危険がある。この誤放電抑止に関しては、上記の隣接する維持放電電極対間ギャップを維持放電電極対の内部ギャップ（例えば、1xと1yとの間）に比べて充分に大きくすることにより達成可能である。即ち、放電のバスが長いほどアドレス電極6による電界の影響を受け易いので放電が発生しにくいという性質を利用したものである。

【0007】ここで、対角約21インチの画素数480×640個のディスプレイパネルを想定して、下記に各寸法についての一例を記す。

隣接維持放電電極対ピッチ：0.675mm
 隣接維持放電電極対間ギャップ：0.22mm
 アドレス電極6ピッチ：0.225mm
 維持放電電極対内部ギャップ：0.075mm
 バス電極2x・2y幅：0.075mm
 放電空間の深さ（Mxの膜4と蛍光体8底部との間）：0.1mm

しかし、プラズマディスプレイパネルの高精細化のため、隣接維持放電電極対ピッチを縮小させる場合に、隣接維持放電電極対間ギャップを広く取ることは限界がある。代わりに維持放電電極対1x・1yの幅を細くすることも考えられるが、それには発光輝度低下の問題が付随するので過度に細線化は適切でない。従って、例えば隣接維持放電電極対ピッチが0.3mmにもなれば、パターン形成上無理のない寸法配分は下記のようなになる。

維持放電電極（1x・1y）幅：0.075～0.1mm
 維持放電電極対内部ギャップ：0.05mm
 バス電極（2x・2y）幅：0.05mm

隣接維持放電電極対間ギャップ: $0.10 \sim 0.1 \text{ mm}$ 以下となり、この条件下では上述の隣接ライン間の誘放電が頻繁に発生してしまう。従って、従来の図示のパネル構造の下で寸法を調整することだけで高精細化を進めるにも限界がある。

【0008】本発明は上述の課題を解消するためになされたもので、維持放電の消費電力の増加を抑制しながら、コントラスト改善が可能な面放電型A型ガラスマディスプレイを得ることを目的とする。

【0009】さらに、隣接維持放電電極対間ギャップを狭くしても隣接ライン間の誘放電が発生せず、高精細化への対処が可能な面放電型A型ガラスマディスプレイを得ることを目的とする。

【0010】

【課題を解決するための手段】以上の目的を達成するために、請求項1に係わる発明の面放電型A型ガラスマディスプレイは、一対のガラス基板の一方の前面ガラス基板の内面上に平行に近接配置される複数対の放電維持電極対と、上記電極対を被覆する誘電体層と、上記誘電体層上面に形成されるカソード膜と、他方の背面ガラス基板の内面上に上記電極対と直交方向に放電空間を区画する隔壁と、上記各隔壁間に配置されそれぞれ単位発光領域を選択的に発光させるためのアドレス電極と、を有する面放電型A型ガラスマディスプレイパネルにおいて、上記放電空間に晒される上記誘電体層上面に形成されるカソード膜の一部を放電不活性材料からなる絶縁膜に置換することを特徴とする。

【0011】また、請求項2に係わる発明の面放電型A型ガラスマディスプレイは、一対のガラス基板の一方の前面ガラス基板の内面上に平行に近接配置される複数対の放電維持電極対と、上記電極対を被覆する誘電体層と、上記誘電体層上面を一様に覆う放電不活性材料からなる絶縁膜と、上記絶縁膜上面に形成されるカソード膜パターンと、他方の背面ガラス基板の内面上に上記電極対と直交方向に放電空間を区画する隔壁と、上記各隔壁間に配置されそれぞれ単位発光領域を選択的に発光させるためのアドレス電極と、上記放電空間内壁面に所定発光色の蛍光体と、を有する面放電型A型ガラスマディスプレイパネルであって、上記放電空間に晒される上記誘電体層上面に形成される放電不活性材料からなる絶縁膜上に、カソード膜パターンを形成し放電領域を限定することを特徴とする。

【0012】また、請求項3に係わる発明の面放電型A型ガラスマディスプレイは、一対のガラス基板の一方の前面ガラス基板の内面上に平行に近接配置される複数対の放電維持電極対と、上記電極対を被覆する誘電体層と、上記誘電体層上面を一様に覆うカソード膜と、上記カソード膜上面に形成される放電不活性材料からなる絶縁膜パターンと、他方の背面ガラス基板の内面上に上記

電極対と直交方向に放電空間を区画する隔壁と、上記各隔壁間に配置されそれぞれ単位発光領域を選択的に発光させるためのアドレス電極と、上記放電空間内壁面に所定発光色の蛍光体と、を有する面放電型A型ガラスマディスプレイパネルであって、上記放電空間に晒される上記誘電体層上面に形成されるカソード膜上に、放電不活性材料からなる絶縁膜パターンを形成し放電領域を限定することを特徴とする。

【0013】また、請求項4に係わる発明の面放電型A型ガラスマディスプレイは、請求項2に記載の面放電型A型ガラスマディスプレイパネルのカソード膜パターンはリフトオフ法により形成されたカソード膜パターンであることを特徴とする。

【0014】また、請求項5に係わる発明の面放電型A型ガラスマディスプレイは、請求項3に記載の面放電型A型ガラスマディスプレイパネルの放電不活性材料からなる絶縁膜パターンはリフトオフ法により形成された放電不活性材料からなる絶縁膜パターンであることを特徴とする。

【0015】また、請求項6に係わる発明の面放電型A型ガラスマディスプレイは、請求項2記載の面放電型A型ガラスマディスプレイパネルの誘電体層上面の放電不活性材料からなる絶縁膜上面に形成されるカソード膜パターンは、各維持放電電極対内部ギャップの上方部に、維持放電電極対方向に帯状に形成されたカソード膜パターンであることを特徴とする。

【0016】また、請求項7に係わる発明の面放電型A型ガラスマディスプレイは、請求項2記載の面放電型A型ガラスマディスプレイパネルの誘電体層上面の放電不活性材料からなる絶縁膜上面に形成されるカソード膜パターンは、放電空間を区画する隔壁間の放電不活性材料からなる絶縁膜上面に、帯状に形成されたカソード膜パターンもしくは各維持放電電極対内部ギャップの上方部にセル状に形成されたカソード膜パターンであることを特徴とする。

【0017】また、請求項8に係わる発明の面放電型A型ガラスマディスプレイは、請求項3記載の面放電型A型ガラスマディスプレイパネルの誘電体層上面のカソード膜上面に形成される放電不活性材料からなる絶縁膜パターンは、各隣接維持放電電極対間ギャップの上方部に、維持放電電極対方向に帯状に形成された絶縁膜パターンであることを特徴とする。

【0018】また、請求項9に係わる発明の面放電型A型ガラスマディスプレイは、請求項1、2、もしくは3記載の面放電型A型ガラスマディスプレイパネルのカソード膜を構成する材料は MgO 、放電不活性の材料からなる絶縁膜を構成する材料は Al_2O_3 、もしくは TiO_2 であることを特徴とする。

【0019】
【発明の実施の形態】

実施の形態1。図1は本発明の実施の形態1を示す面放電型A型プラズマディスプレイパネルの部分構造図である。図中、11はカソード膜を構成するMgOより仕事関数の高い材料からなる誘電体層上面を一様に覆う放電不活性膜であり、4aはリフトオフ法等を用いて上記放電不活性膜11の上面に形成された放電のカソードとして機能するMgOパターンである。他の構成は従来の図5に示した構成と同様とする。ここで放電不活性膜11の材料としては、MgOよりも高い仕事関数を持つこと、他に、以下の要件を満たす必要がある。

(1) 絶縁材料であること、(2) 後工程の熱履歴(450℃レベル)で化学的に安定であること、(3) MgOに近い熱膨張率を持つこと、(4) スパッタリングを被りにくいこと、(放電のプラズマ空間に近接するため)

これらの要求を考慮して、 SiO_2 、 Al_2O_3 、 TiO_2 の3種の材料を候補として選んだ。そして、従来の*

*図5のパネル構造の下で、MgOの蒸着膜4に対し上記の3種の材料を代用して放電不活性膜としての機能を実用レベルで確認した。テストサンプルの放電セルの各種寸法を下記に記す。

隣接維持放電電極対ピッチ : 0.675mm

隣接維持放電電極対間ギャップ : 0.22mm

アドレス電極ピッチ : 0.225mm

維持放電電極対内部ギャップ : 0.075mm

バス電極(2x, 2y)幅 : 0.075mm

10 放電空間の深さ(各種放電不活性膜と蛍光体8底部との隔たり) : 0.1mm

放電不活性膜はいずれも真空蒸着法によって形成した。MgOの参考データを含め、放電不活性膜のテスト結果を下記に示す。

【0020】

【表1】

放電不活性膜	種 物 性 値			実験結果(放電電圧)	
	線膨張係数	$\lambda\text{Å}^2/\text{カリボク}$ 収率(10keV Xr ⁺)	仕事関数	開始電圧	維持電圧
(MgO)	$130 \times 10^{-7} / \text{deg}$	1.8 total atoms/ion	3.1~4.4	224~250V	140~148V
Al_2O_3	$80 \times 10^{-7} / \text{deg}$	1.5 total atoms/ion	4.7eV	334~467V	275~428V
TiO_2	$90 \times 10^{-7} / \text{deg}$	1.5 total atoms/ion	6.21eV	373~422V	270~380V
SiO_2	$5 \times 10^{-7} / \text{deg}$	3.6 total atoms/ion	5.00eV	—	—

【0021】なお、予備テストの結果、 SiO_2 放電不活性膜はMgO膜との密着性が悪いため、テストの対象候補から除外した。表1に示すように Al_2O_3 と TiO_2 は放電を維持するだけでもMgOの放電開始電圧よりも高い電圧を必要とするので、放電不活性膜として十分に機能しうることかわかった。こうして本発明の実施の形態1を示す図1の放電不活性膜11には、 Al_2O_3 、あるいは TiO_2 の蒸着膜を適用することにした。放電不活性膜11そのものはベタの蒸着膜であるが、その上に放電のカソードとして機能するMgOパターン4aを形成している。MgOパターン4a間のギャップ部分でのみ放電不活性膜11は放電空間に晒されている。ここで、MgOパターン4aは、誘電体層3と放電不活性膜11を隔てて各維持放電電極対内部ギャップの上方部に形成されている。また、MgOパターン4aのパターン幅は、0.3mmとしており、その他の寸法は上記の放電不活性膜のテストサンプルと同様に設定している。

【0022】放電空間に晒されていても表面に放電不活

性材料が配置された領域では、電圧印加によっても容易には放電を起こさない。一方、MgOを表面に持つ領域では相対的に低い電圧で放電を起こすことができる。従って、印加電圧を所定値にすることによりMgOを表面にもつ領域だけに限って放電させることが可能となる。維持放電電極1x、1yやバス電極2x、2yの寸法を変更せずに、放電空間に晒されるカソード表面の一部を放電不活性膜で置換することにより、放電の実効面積を減少させ1パルス当たりの維持放電電流を減少させ、維持放電パルス数を増やし、維持放電の消費電力の増加を抑制しながら、コントラスト改善が可能となる。テスト結果によれば、本実施の形態1における維持放電電流は、従来例のそれと比較して約10%低減することが確認された。

【0023】実施の形態2。図2は本発明の実施の形態2を示す面放電型A型プラズマディスプレイパネルの部分構造図である。ここで、放電のカソードとして機能するMgOパターン4aは、隔壁7の間の放電空間における放電不活性膜11の上面に帯状に形成したもので、

他の構成は図1と同様である。図中、Mgのパターン4bの幅は0.1mmとした。従来の図5に示すパネル構造では主に隔壁7による物理的隔壁によって放電に関与するMgの表面領域が決められていたが、それでも0.15〜0.2mmの幅を有していた。本実施の形態2の構造によればMgの幅0.1mmの放電領域に抑まるので、維持放電電流を低減させることができる。維持放電の消費電力の増加を抑制しながらコントラスト改善が可能となる作用は実施の形態1で説明と同様である。テスト結果によれば、本実施の形態2における維持放電電流は、従来例のそれと比較して約35%の低減が確認された。

【0024】実施の形態3。図3は本発明の実施の形態3を示す面放電型A型ガラスマデイスブレイパネルの部分構造図である。ここで、放電のカソードとして機能するMgのパターン4は、隔壁7の間の放電空間における放電不活性膜11の上面の各維持放電電極対内部ギャップの上方部にセル状に配列したもので、他の構成は図1と同様である。維持放電の消費電力の増加を抑制しながら、コントラスト改善が可能となる作用は実施の形態1で説明と同様である。テスト結果によれば、セルサイズを0.3mm×0.09mmに設計した時の維持放電電流は、従来例と比較してほぼ半減した。以上のように、本実施の形態3の構造によればMgのパターン設計によって維持放電電流を自在に減少させることができる。

【0025】実施の形態4。図4は本発明の実施の形態4を示す面放電型A型ガラスマデイスブレイパネルの部分構造図である。先の実施の形態1、2、3では、誘電体層3の表面を放電不活性膜11で一様に覆い、その上面にそれぞれ特定のMgのパターン4a、4b、4cを形成したものであるが、この層構成を変えて、誘電体層3の表面をMgの蒸着膜4で一様に覆い、その上面に放電不活性膜パターンを形成する構成としても、放電不活性膜パターン設計によって維持放電電流を自在に減少させることができる。図中、帯状の放電不活性材料からなる絶縁膜パターン11aは誘電体層3の上面に形成されるカソード膜4の上面の各隣接維持放電電極対間ギャップの上方部に、維持放電電極対方向に形成したもので、ここで上記絶縁膜パターン11aはリフトオフ法により形成されたものである。実施の形態1、2、3では、それぞれMgのパターン4a、4b、4cをリフトオフ法で形成していたが、その際、レジストパターンの上からMgの蒸着することになる。従って、後工程のレジスト剥離を容易にするために、Mgの蒸着時の基板加熱は適当でない。しかし、カソード寿命の観点からはMgの蒸着を111配向膜にすることが重要と見なされており、そのためにはMgの蒸着時に基板加熱を施すことが適当である。維持放電の消費電力の増加を抑制しながら、コントラスト改善が可能となる作用は実施の形態

1で説明と同様である。本実施の形態4によれば、Mgの蒸着時に上記のレジストパターンは未だ形成しておらず、基板加熱が制約されないのて良質の111配向膜を得ることができる特故がある。

【0026】実施の形態5。本実施の形態5は先の実施の形態1を示す図1における以下の寸法を次のように設定したものである。

隣接維持放電電極対ピッチ : 0.3mm
隣接維持放電電極対間ギャップ : 0.05mm
アノード電極ピッチ : 0.1mm
維持放電電極対内部ギャップ : 0.05mm
バス電極(2x、2y)幅 : 0.05mm
放電空間の深さ(各種放電不活性膜と蛍光体8底部との間) : 0.1mm
Mgのパターン4aの幅 : 0.15mm

上記の設定値では隣接維持放電電極対間ギャップと維持放電電極対内部ギャップとが同じ値となっている。仮に図5に示した従来のパネルの部分構造図において、電極寸法を同様に設定すると、隣接する維持放電電極対間ギャップ(例えば、1y、と1x、の間)の誘放電発生確率が、維持放電電極対内部ギャップ(例えば、1x、と1y、の間)の維持放電の発生確率と同レベルになってしまう。しかし、本実施の形態5によれば、隣接ライン間に放電不活性材料11が幅0.15mmで配置されているので誘放電のバス長も0.15mmとなり、正規維持放電のバス長0.05mmに比べて3倍の値となり、誘放電の発生をなくすることが可能となり、高精細化への対処が可能となる。

【0027】

【発明の効果】以上のように、請求項1記載の発明によれば、放電空間に晒される放電のカソードとして機能するカソード膜の一部を放電不活性膜で置換することにより、放電の実効面積を減少させて1バス当たりの維持放電電流を減少させ、維持放電バス数を増やして(維持放電の消費電力を抑制しながら)コントラスト改善が可能であるとともに、高精細化のため隣接する維持放電電極対間のギャップを狭くしても隣接ライン間の誘放電が生ぜず、高精細化への対処が可能な面放電型A。

【0028】また、請求項2記載の発明によれば、放電空間に晒される誘電体層上面に形成される放電不活性材料からなる絶縁膜上に、カソード膜パターンを形成して放電領域を限定することにより、1バス当たりの維持放電電流を減少させ、維持放電バス数を増やして(維持放電の消費電力を抑制しながら)コントラスト改善が可能であるとともに、高精細化のため隣接する維持放電電極対間のギャップを狭くしても隣接ライン間の誘放電が生ぜず、高精細化への対処が可能な面放電型A型ガラスマデイスブレイを得ることができる。

【0029】また、請求項3記載の発明によれば、放電空間に晒される上記誘電体層上面に形成されるカソード

ト膜上に、放電不活性材料からなる絶縁膜パターンを形成し放電領域を限定することにより、1パルス当たりの維持放電電流を減少させ、維持放電パルス数を増やして（維持放電の消費電力を抑制しながら）コントラスト改善が可能であるとともに、高精細化のため隣接する維持放電電極対間のギャップを狭くしても隣接ライン間の誘放電が生ぜず、高精細化への対処が可能な面放電型A型プラズマディスプレイを得ることができる。

【0030】また、請求項1記載の発明によれば、請求項2に記載の面放電型A型プラズマディスプレイパネルの効果に加えて、カソード膜パターンをリフトオフ法により形成されたものとするにより、放電領域を精度よく限定できる面放電型A型プラズマディスプレイを得ることができる。

【0031】また、請求項5記載の発明によれば、請求項3に記載の面放電型A型プラズマディスプレイパネルの効果に加えて、放電不活性材料からなる絶縁膜パターンをリフトオフ法により形成されたものとするにより、放電領域を精度よく限定することかでき、さらに放電寿命の点で有利なカソード膜配向を有する面放電型A型プラズマディスプレイを得ることができる。

【0032】また、請求項6記載の発明によれば、放電空間に晒される誘電体層上面に形成される放電不活性材料からなる絶縁膜上面に形成されるカソード膜パターンを、各維持放電電極対内部ギャップの上方部に、維持放電電極対方向に帯状に形成されたカソード膜パターンとして放電領域を限定することにより、1パルス当たりの維持放電電流を減少させ、維持放電パルス数を増やして（維持放電の消費電力を抑制しながら）コントラスト改善が可能であるとともに、高精細化のため隣接する維持放電電極対間のギャップを狭くしても隣接ライン間の誘放電が生ぜず、高精細化への対処が可能な面放電型A型プラズマディスプレイを得ることができる。

【0033】また、請求項7記載の発明によれば、放電空間に晒される誘電体層上面に形成される放電不活性材料からなる絶縁膜上面に形成されるカソード膜パターンを、放電空間を区画する隔壁間の放電不活性材料からなる絶縁膜上面に、帯状に形成されたカソード膜パターンもしくは各維持放電電極対内部ギャップの上方部にセル状に形成されたカソード膜パターンとして放電領域を限定することにより、1パルス当たりの維持放電電流を減少させ、維持放電パルス数を増やして（維持放電の消費電力を抑制しながら）コントラスト改善が可能であるとともに、高精細化のため隣接する維持放電電極対間のギャップを狭くしても隣接ライン間の誘放電が生ぜず、高

精細化への対処が可能な面放電型A型プラズマディスプレイを得ることができる。

【0034】また、請求項8記載の発明によれば、放電空間に晒される上記誘電体層上面に形成されるカソード膜上面に形成される放電不活性材料からなる絶縁膜パターンは、各隣接維持放電電極対間ギャップの上方部に、維持放電電極対方向に帯状に形成された絶縁膜パターンとして放電領域を限定することにより、1パルス当たりの維持放電電流を減少させ、維持放電パルス数を増やして（維持放電の消費電力を抑制しながら）コントラスト改善が可能であるとともに、高精細化のため隣接する維持放電電極対間のギャップを狭くしても隣接ライン間の誘放電が生ぜず、高精細化への対処が可能な面放電型A型プラズマディスプレイを得ることができる。

【0035】また、請求項9記載の発明によれば、請求項1、2、もしくは3記載の面放電型A型プラズマディスプレイパネルの効果に加えて、カソード膜を構成する材料はMgO、放電不活性の材料からなる絶縁膜を構成する材料はAl、O、もしくはTiO₂、とすることにより、製造プロセス上必要となるカソード膜と不活性の材料からなる絶縁膜との密着力を得る面放電型A型プラズマディスプレイを得ることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1、5を示す面放電型A型プラズマディスプレイパネルの部分構造図である。

【図2】本発明の実施の形態2を示す面放電型A型プラズマディスプレイパネルの部分構造図である。

【図3】本発明の実施の形態3を示す面放電型A型プラズマディスプレイパネルの部分構造図である。

【図4】本発明の実施の形態4を示す面放電型A型プラズマディスプレイパネルの部分構造図である。

【図5】従来の面放電型A型プラズマディスプレイパネルの部分構造図である。

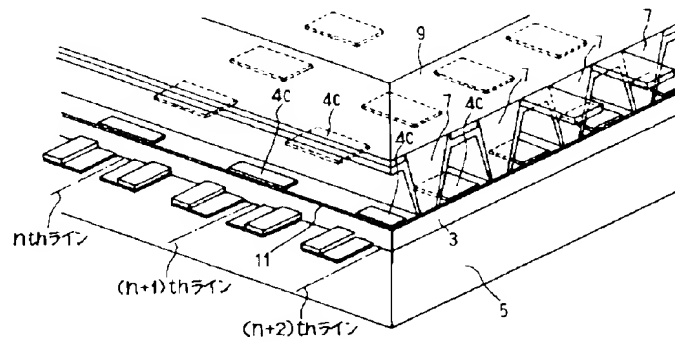
【符号の説明】

- 1 x、1 y ……対(X-Y)の維持放電電極
- 2 x、2 y ……対(X-Y)のバス電極
- 3 ……誘電体層
- 4 a、4 b、4 c ……MgOの蒸着膜パターン
- 5 ……前面ガラス基板
- 6 ……アノード電極
- 7 ……隔壁（バリアリブ）
- 8、8'、8'' ……赤、緑、青の蛍光体
- 9 ……背面ガラス基板
- 11 ……放電不活性膜
- 11 a ……放電不活性膜のパターン

Figure 1 is a perspective view of a semiconductor device. The device is shown in a corner view, revealing its layered structure. At the base is a substrate (1). Above it is a front glass plate (5). A series of address electrodes (6) are arranged in a row, separated by barrier ribs (7). A data bus electrode (8) is also present. The device is labeled with various components: 1 (substrate), 2 (data bus electrode), 3 (heat sink), 4 (MgO protective layer), 5 (front glass plate), 6 (address electrode), 7 (barrier rib), 8 (data bus electrode), 9 (silicon wafer), 10 (silicon wafer), 11 (silicon wafer), 12 (silicon wafer), 13 (silicon wafer), 14 (silicon wafer), 15 (silicon wafer), 16 (silicon wafer), 17 (silicon wafer), 18 (silicon wafer), 19 (silicon wafer), 20 (silicon wafer), 21 (silicon wafer), 22 (silicon wafer), 23 (silicon wafer), 24 (silicon wafer), 25 (silicon wafer), 26 (silicon wafer), 27 (silicon wafer), 28 (silicon wafer), 29 (silicon wafer), 30 (silicon wafer), 31 (silicon wafer), 32 (silicon wafer), 33 (silicon wafer), 34 (silicon wafer), 35 (silicon wafer), 36 (silicon wafer), 37 (silicon wafer), 38 (silicon wafer), 39 (silicon wafer), 40 (silicon wafer), 41 (silicon wafer), 42 (silicon wafer), 43 (silicon wafer), 44 (silicon wafer), 45 (silicon wafer), 46 (silicon wafer), 47 (silicon wafer), 48 (silicon wafer), 49 (silicon wafer), 50 (silicon wafer), 51 (silicon wafer), 52 (silicon wafer), 53 (silicon wafer), 54 (silicon wafer), 55 (silicon wafer), 56 (silicon wafer), 57 (silicon wafer), 58 (silicon wafer), 59 (silicon wafer), 60 (silicon wafer), 61 (silicon wafer), 62 (silicon wafer), 63 (silicon wafer), 64 (silicon wafer), 65 (silicon wafer), 66 (silicon wafer), 67 (silicon wafer), 68 (silicon wafer), 69 (silicon wafer), 70 (silicon wafer), 71 (silicon wafer), 72 (silicon wafer), 73 (silicon wafer), 74 (silicon wafer), 75 (silicon wafer), 76 (silicon wafer), 77 (silicon wafer), 78 (silicon wafer), 79 (silicon wafer), 80 (silicon wafer), 81 (silicon wafer), 82 (silicon wafer), 83 (silicon wafer), 84 (silicon wafer), 85 (silicon wafer), 86 (silicon wafer), 87 (silicon wafer), 88 (silicon wafer), 89 (silicon wafer), 90 (silicon wafer), 91 (silicon wafer), 92 (silicon wafer), 93 (silicon wafer), 94 (silicon wafer), 95 (silicon wafer), 96 (silicon wafer), 97 (silicon wafer), 98 (silicon wafer), 99 (silicon wafer), 100 (silicon wafer).

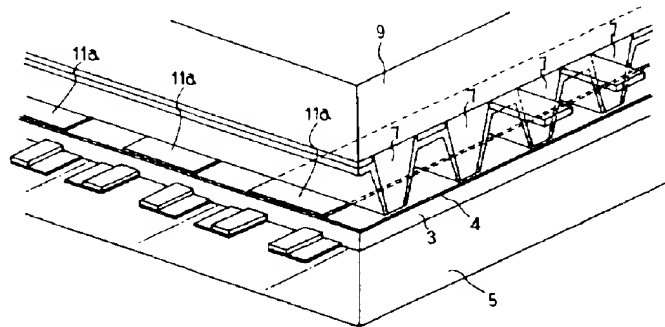
Figure 1 is a perspective view of a semiconductor device. The device includes a substrate 1 with a series of rectangular regions labeled n -th line, $(n+1)$ -th line, and $(n+2)$ -th line. A layer 3 is formed on the substrate, and a layer 5 is formed on top of layer 3. A pattern 4b is formed on layer 5, and a pattern 7 is formed on top of pattern 4b. A pattern 8B is formed on layer 3, and a pattern 8R is formed on top of pattern 8B. A pattern 9 is formed on top of pattern 8R. A pattern 11 is formed on the substrate 1.

【図3】



4c: MgO絶縁膜のパターン

【図4】



11a: 後電不活性膜のパターン

【図5】

